

APPLICATION
FOR
UNITED STATES LETTERS PATENT

TITLE: ANALOG CIRCUIT AND DISPLAY DEVICE AND
ELECTRONIC DEVICE

APPLICANT: HAJIME KIMURA

【発明の名称】 アナログ回路及びそれを用いた表示装置

【発明の詳細な説明】

【発明の属する技術分野】

本発明は、アナログ回路の技術に関する。より詳細には、トランジスタの電流特性のバラツキの影響を低減する回路技術に関する。

【従来の技術】

近年、ガラス上に、薄膜トランジスタ(TFT)を形成した表示装置が広く普及している。例えば、アモルファス(非晶質)シリコンを用いたTFTを各画素に配置した液晶ディスプレイ(LCD)が、ノート型パーソナルコンピュータや携帯機器などに広く用いられている。

しかし、アモルファスシリコンを用いたTFTは、移動度が低いため、多くの電流を流すことが出来ない。そこで、ポリクリスタル(多結晶)シリコンを用いたTFTをガラス基板上に形成することが行われている。ポリクリスタルシリコンのTFTは、移動度が高い。よって、ガラス上に駆動回路も集積することが出来る。駆動回路には、主にデジタル回路が搭載されることが多い。しかし、最近では、ガラス上にあらゆる回路を搭載した、システムオンパネルの実現に向けて、研究が進められている。つまり、デジタル回路だけでなく、アナログ回路を搭載することも検討されている。

そこで、アナログ回路の一つとして、ソースフォロフ回路の構成について述べる。図21に、ソースフォロフ回路の回路図を示す。トランジスタTR1のゲート端子4308には、入力電圧 V_i が入力される。トランジスタTR2のゲート端子4309には、バイアス電圧 V_b が加えられる。そして、トランジスタTR1のゲート・ソース間電圧を V_{gs1} とする。なお、簡単のため、低電位側電源(V_{ss})の電位は、0Vであるとする。すると、トランジスタTR1のソース端子4310の電圧(出力電圧 V_o)は、以下の式(1)を満たす。

【数1】 $V_o = V_i \cdot V_{gs1} \cdots (1)$

ここで、簡単のため、トランジスタTR1とトランジスタTR2の電流特性やトランジスタサイズ(ゲート長 L 、ゲート幅 W)などが同一であるとする。ここで、トランジスタTR1とトランジスタTR2は、直列に接続されているため、各々のトランジスタには、同量の電流が流れる。よって、トランジスタTR1とトランジスタTR2とが、両方とも飽和領域で動作する場合は、トランジスタTR1のゲート・ソース間電圧 V_{gs1} が、トランジスタTR2のゲート・ソース間電圧、すなわち、バイアス電圧 V_b と等しくなる。従って、以下の式(2)を満たす。

【数2】 $V_o = V_i \cdot V_b \cdots (2)$

しかしながら、トランジスタTR1とトランジスタTR2のトランジスタサイズ(ゲート長 L 、ゲート幅 W)を同一にして設計しても、実際に製造すると、各々のサイズがばらついた

りしてしまう。また、ゲート絶縁膜の膜厚のバラツキや、チャネル形成領域の結晶状態のバラツキなどが要因となって、トランジスタの電流特性、例えば、しきい値電圧や移動度などが、ばらついてしまう。

ここで、一例として、トランジスタ TR1 のしきい値電圧が2Vであり、トランジスタ TR2 のしきい値電圧は、ばらついて、3Vになっているとする。なお、トランジスタに流れる電流は、ゲート・ソース間電圧からしきい値電圧を差し引いた値に応じて変化する。したがって、トランジスタ TR2 に流れる電流と同量の電流をトランジスタ TR1 に流すためには、しきい値電圧が1V小さいため、トランジスタ TR1 のゲート・ソース間電圧も1V小さくなってしまふ。その結果、トランジスタ TR1 とトランジスタ TR2 のしきい値電圧が同じ場合と比較すると、式(1)、式(2)より、出力電圧 V_o が1V高くなってしまふことが分かる。

以上のように、トランジスタ TR1 とトランジスタ TR2 の電流特性やトランジスタサイズなどがばらつくと、出力電圧 V_o もばらついてしまふ。

そこで、ばらつきの影響を少なくできるように、補正を行う技術が検討されている。例えば、ばらつきを補正したソースフォロワ回路が報告されている(非特許文献1参照。)

図 24 に、その回路図を示す。次に、その回路の動作について述べる。まず、スイッチ 4401 から 4406 のうち、スイッチ 4401、4406、4404 をオンにする。なお、スイッチは、オンにすると、導通状態になるものとする。そして、入力端子 4407 入力電圧 V_i が加えられる。次に、スイッチ 4401、4406 をオフにして、スイッチ 4402 をオンにする。すると、容量 4409 に、最初のオフセット電圧が保存される。次に、スイッチ 4402、4404 をオフにして、スイッチ 4403 をオンにする。すると、容量 4410 に、2番目のオフセット電圧が保存される。以上の動作の結果、出力電圧 V_o のばらつきは、補正される。

【非特許文献1】

Euro Display 2002:p831:LN-4:A 3.8 inch Half-VGA Transflective Color TFT-LCD with Completely Integrated 6-bit RGB Parallel Interface Drivers

上述した図 24 のソースフォロワ回路において、補正を行う場合、非常に多くのステップを必要とする。つまり、スイッチ 4401 から 4406 のオンオフを何回も繰り返し、ようやく、補正が完了する。そのため、通常の動作を開始させるためには、補正を行うための多くの時間が必要となってしまふ。

また、数多くのスイッチや容量が必要になる。そのため、レイアウト面積が増大し、製造上の歩留まりを低下させる要因にもなる。

また、ソースフォロワ以外のアナログ回路においても、トランジスタの電流特性などがばらつくと、正常に動作しなかったり、出力結果がばらついたりしてしまう。

本発明は上記の問題点を鑑みてなされたものであり、トランジスタの特性バラツキの影響を抑制した電気回路を提供することを課題とする。より詳しくは、アナログ信号

を取り扱う電気回路において、トランジスタの特性バラツキの影響を抑制して、所望の動作を行うことができる電気回路を提供することを課題とする。

【図面の簡単な説明】

- 【図1】 本発明の差動回路の構成を説明する図。
- 【図2】 本発明の差動回路の動作を説明する図。
- 【図3】 本発明の差動回路の動作を説明する図。
- 【図4】 本発明の差動回路の動作を説明する図。
- 【図5】 本発明の差動回路の動作を説明する図。
- 【図6】 本発明の差動回路の動作を説明する図。
- 【図7】 本発明のソースフォロワ回路の構成を説明する図。
- 【図8】 本発明の切り替え型増幅回路の構成を説明する図。
- 【図9】 本発明の表示装置の構成を示す図。
- 【図10】 本発明の表示装置の構成を示す図。
- 【図11】 本発明の信号線駆動回路の構成の一例を示す図。
- 【図12】 本発明の信号線駆動回路の構成の一例を示す図。
- 【図13】 本発明のソースフォロワ回路の構成を説明する図。
- 【図14】 本発明のソースフォロワ回路の構成を説明する図。
- 【図15】 本発明のソースフォロワ回路の構成を説明する図。
- 【図16】 本発明のカスコード回路の構成を説明する図。
- 【図17】 本発明のソースフォロワ回路の構成を説明する図。
- 【図18】 本発明のソースフォロワ回路の構成を説明する図。
- 【図19】 本発明のソースフォロワ回路の構成を説明する図。
- 【図20】 本発明のソースフォロワ回路のレイアウトを説明する図。
- 【図21】 従来のソースフォロワ回路の構成を説明する図。
- 【図22】 本発明の基本回路の構成を説明する図。
- 【図23】 本発明の基本回路の構成を説明する図。
- 【図24】 従来のソースフォロワ回路の構成を説明する図。
- 【図25】 本発明の差動増幅回路の構成を説明する図。
- 【図26】 本発明の差動増幅回路の構成を説明する図。
- 【図27】 本発明の差動増幅回路の構成を説明する図。
- 【図28】 本発明の差動増幅回路の構成を説明する図。
- 【図29】 本発明のオペアンプの構成の一例を示す図。
- 【図30】 本発明のオペアンプの構成の一例を示す図。
- 【図31】 本発明のオペアンプの構成の一例を示す図。
- 【図32】 本発明のソース接地増幅回路の構成を説明する図。

【図33】 本発明のソース接地増幅回路の動作を説明する図。

【図34】 本発明のソース接地増幅回路の動作を説明する図。

【図35】 本発明のソース接地増幅回路の構成を説明する図。

【図36】 本発明が適用される電気機器の図。

【課題を解決するための手段】

本発明は、上記の問題点を解決するために、以下に示す構成のアナログ回路を用いる。

本発明は上記構成によって、第1のトランジスタと第1の容量素子と第1のスイッチと第1の端子と第2の端子と第2のトランジスタと第2の容量素子と第2のスイッチと第3の端子と第4の端子とを有するアナログ回路であって、前記第1のトランジスタのゲート端子と前記第1の容量素子の一方の端子とが電氣的に接続され、前記第2のトランジスタのゲート端子と前記第2の容量素子の一方の端子とが電氣的に接続され、前記第1のトランジスタのソース端子と第2のトランジスタのソース端子とが電氣的に接続され、前記第1の端子と、前記第1の容量素子の一方の端子とは、前記第1のスイッチを介して電氣的に接続され、前記第3の端子と、前記第2の容量素子の一方の端子とは、前記第2のスイッチを介して電氣的に接続され、前記第1の容量素子の他方の端子と、前記第2の端子または前記第1のトランジスタのソース端子のいずれか一つの端子とが電氣的に接続される手段を有し、前記第2の容量素子の他方の端子と、前記第4の端子または前記第2のトランジスタのソース端子のいずれか一つの端子と電氣的に接続される手段を有していることを特徴とするアナログ回路が提供される。

上記構成のアナログ回路において、動作方法として、2つの動作状態に分けられる。1つが、補正動作であり、もう1つが、通常動作である。補正動作においては、バラツキの影響を補正するための情報を取得する。そして、通常動作において、補正動作で得た情報を入力信号に上乗せし、本来の回路の動作を行う。このように、補正動作で得た情報を入力信号に上乗せするため、通常動作においては、バラツキの影響が低減されている。

また、補正動作によって得た情報は、保存しておく。そして、通常動作を行う時には、前記保存しておいた情報を用いる。その結果、通常動作を行う度に補正動作を行う必要はない。

そこで次に、各動作状態における回路の接続状態を示す。

まず、図 22 に、補正動作を行っている場合の回路の接続状態を示す。トランジスタ TR1 のゲート端子とソース端子との間に、容量素子 104 が配置されている。容量素子 104 の一方の端子とトランジスタ TR1 のゲート端子とは、電氣的に接続されており、容量素子 104 の他方の端子とトランジスタ TR1 のソース端子とは、電氣的に接続されている。ここで、各端子は電氣的に接続されているため、端子間の配線上には、オン状

態のスイッチや受動素子や能動素子などが配置されていてもよい。なお、以後、本明細書において、接続されているとは、電氣的に接続されていることと同じであるとする。したがって、本発明が開示する構成において、所定の接続関係に加え、その間に電氣的な接続を可能とする他の素子(例えば、別の素子やスイッチなど)が配置されていてもよい。また、トランジスタ TR1 のゲート端子、ドレイン端子、ソース端子は、各々、別の素子(スイッチ、トランジスタのような能動素子、受動素子等)や配線などに電氣的に接続されている

この接続状態は、前記第1のトランジスタのゲート端子と前記第1の容量素子の一方の端子とが接続され、前記第1の端子と前記第1の容量素子の一方の端子とが接続され、前記第1の容量素子の他方の端子と前記第2の端子とが非接続になり、前記第1の容量素子の他方の端子と前記第1のトランジスタのソース端子とが接続されていることに相当する。

このような接続状況において、トランジスタ TR1 のドレイン・ソース間には、ある値の電流が流れている。なお、その電流の値は、ゼロを含み、任意である。そして、容量素子 104 には、前記電流が流れているときのトランジスタ TR1 のゲート・ソース間電圧 V_{gs} が保存される。トランジスタ TR1 のゲート・ソース間電圧 V_{gs} の大きさは、トランジスタ TR1 のドレイン・ソース間に流れる電流の大きさに応じた大きさとなる。したがって、トランジスタ TR1 の電流特性やトランジスタサイズなどがばらつけば、トランジスタ TR1 のゲート・ソース間電圧 V_{gs} の大きさも、それによって、異なった値となる。ただし、トランジスタがばらついていても、トランジスタ TR1 のゲート・ソース間電圧 V_{gs} の大きさは、トランジスタ TR1 のドレイン・ソース間に流れる電流の大きさに応じた大きさとなることには、変わりはない。

このようにして、補正動作において、バラツキの影響を補正するための情報、つまり、トランジスタ TR1 のゲート・ソース間電圧を取得する。

次に、図 23 に、通常動作を行っている場合の回路の接続状態を示す。トランジスタ TR1 のゲート端子と入力端子 108 との間に、容量素子 104 が配置されている。容量素子 104 の一方の端子とトランジスタ TR1 のゲート端子とは電氣的に接続されており、容量素子 104 の他方の端子と入力端子 108 とは、電氣的に接続されている。そして、入力端子 108 には、入力電圧 V_i が加えられる。ここで、容量素子 104 には、補正動作の時に得た電荷が、保存されている。したがって、トランジスタ TR1 のゲート端子には、入力電圧 V_i に、容量素子 104 に保存されている電圧を上乗せした電圧が加わることになる。

この接続状態は、前記第1のトランジスタのゲート端子と前記第1の容量素子の一方の端子とが接続され、前記第1の端子と前記第1の容量素子の一方の端子とが非接続になり、前記第1の容量素子の他方の端子と前記第2の端子とが接続され、前記第1の容量素子の他方の端子と前記第1のトランジスタのソース端子とが非接続に

なっていることに相当する。

このように、トランジスタ TR1 のゲート端子には、入力電圧 V_i がそのまま加わるのではなく、容量素子 104 に保存されている電圧が上乘せされて、加えられる。容量素子 104 に保存されている電圧の大きさは、トランジスタ TR1 の電流特性やトランジスタサイズなどに応じた大きさになる。つまり、トランジスタ TR1 の電流特性やトランジスタサイズなどがばらついても、それに応じて、容量素子 104 に保存されている電圧の大きさが変わるため、結果として、トランジスタ TR1 のバラツキの影響を低減することが可能となる。

このような補正を、各々のトランジスタに対して行うことにより、回路全体のばらつきを補正することができるようになる。つまり、前記第1のトランジスタや前記第2のトランジスタや、回路を構成する様々なトランジスタに対して、適用することにより、ばらつきを補正することが可能となる。

なお、補正動作の時には図 22 のように電氣的に接続され、通常動作の時には図 23 のように電氣的に接続されるためには、ある端子とある端子との間にスイッチを配置すれば実現できる。そのようなスイッチは、数個あればよい。

なお、図 22、図 23 においては、トランジスタ TR1 は n チャンネル型としているが、これに限定されず、p チャンネル型で構成することも可能である。p チャンネル型で構成する場合も、補正動作を行うときには、容量素子 104 をトランジスタ TR1 のゲート・ソース間に配置することに注意すれば、容易に、変形できる。

なお、補正動作は、通常動作を行う前に、すくなくとも1度行えばよい。つまり、容量素子 104 に、適切な電圧が保持されていれば、通常動作を行うことができる。ただし、容量素子 104 に保存されている電荷は、ノイズやもれ電流などが原因となって、徐々に、変化してしまう場合がある。その時には、容量素子 104 に保存されている電荷が、大きく変化してしまう前に、再び、補正動作を行えばよい。

上述したように、少なくとも、1度、補正動作を行うだけで、その後の通常動作において、トランジスタの特性ばらつきの影響を低減することが出来る。そのため、駆動タイミングが複雑になることもなく、動作が簡単になる。

また、容量は、容量素子 104 だけでよく、スイッチも数個あればよい。よって、レイアウト面積が小さくできる。その結果、製造上の歩留まりが低下することを防いだり、小型化させたりすることが出来る。

なお、本発明におけるトランジスタは、どのような材料、手段、製造方法によりできたトランジスタでもよいし、どのようなタイプのトランジスタでもよい。例えば、薄膜トランジスタ(TFT)でもよい。TFTのなかでも、半導体層が非晶質(アモルファス)のものでよいし、多結晶(ポリクリスタル)でも、単結晶のものでもよい。その他のトランジスタとして、単結晶基板において作られたトランジスタでもよいし、SOI基板において作られたトランジスタでもよいし、プラスチック基板の上に形成されたトランジスタでもよい。

し、ガラス基板上に形成されたトランジスタでもよい。その他にも、有機物やカーボンナノチューブで形成されたトランジスタでもよい。また、MOS型トランジスタでもよいし、バイポーラ型トランジスタでもよい。

また、本発明は上記構成によって、電流を供給する手段を有し、前記第1のトランジスタのソース端子と、前記電流を供給する手段とが電氣的に接続されていることを特徴とするアナログ回路が提供される。

このように、電流を供給する手段を設けることにより、アナログ回路のバイアスを設定することが可能となる。

また、本願発明は上記構成によって、第1のトランジスタに流れる電流を遮断する手段と、第2のトランジスタに流れる電流を遮断する手段とを有していることを特徴とするアナログ回路が提供される。

この構成により、第1のトランジスタと第2のトランジスタに関して、別々に補正を行うことが可能となる。

また、本願発明は上記構成によって、前記第1の端子と前記第2の端子とが、電氣的に接続され、前記第3の端子と前記第4の端子とが、電氣的に接続されていることを特徴とするアナログ回路が提供される。

この構成により、第1の端子と第3の端子とに、電圧を供給するための配線を省略することが可能となる。

【発明の実施の形態】

（実施の形態1）

本発明は、アナログ回路、例えば、差動回路、増幅回路、オペアンプなどに代表される演算回路など、さまざまな回路に適用することが出来る。そこで、本実施の形態では、一例として、本発明を適用した差動回路について説明する。

まず、本発明を適用した差動回路について、図1に、回路構成を示す。従来の差動回路では、電流源として動作し、回路のバイアスを設定するトランジスタTR21が配置され、差動動作するためのトランジスタTR11のソース端子と、トランジスタTR12のソース端子とが、トランジスタTR21のドレイン端子に接続されている。トランジスタTR11のドレイン端子は、負荷1812などを介して高電位側電源(Vdd)に接続され、トランジスタTR12のドレイン端子も、負荷1813などを介して高電位側電源(Vdd)に接続される。

それに対し、本発明を適用した差動回路では、スイッチ1801～1811、容量素子1812、1813などを追加している。

なお、スイッチとしてトランジスタを用いる場合、そのトランジスタは、単なるスイッチとして動作するため、トランジスタの極性は特に限定されない。ただし、オフ電流が少ない方が望ましい場合、例えば、容量素子1812、1813に接続されているスイッチなど

では、オフ電流が少ない方の極性のトランジスタを用いることが望ましい。オフ電流が少ないトランジスタとしては、LDD領域を設けているもの等がある。また、スイッチとして動作させるトランジスタのソース端子の電位が、低電位側電源(V_{ss} 、 V_{gnd} 、0V など)に近い状態で動作する場合はnチャネル型を、反対に、ソース端子の電位が、高電位側電源(V_{dd} など)に近い状態で動作する場合はpチャネル型を用いることが望ましい。なぜなら、ゲート・ソース間電圧の絶対値を大きくできるため、スイッチとして、動作しやすいからである。なお、nチャネル型とpチャネル型の両方を用いて、CMOS型にしてもよい。

またスイッチは、電氣的スイッチでも機械的なスイッチでも何でも良い。電流の流れを制御できるものなら、何でも良い。トランジスタでもよいし、ダイオードでもよいし、それらを組み合わせた論理回路でもよい。

そこで次に、図1の差動回路の動作について、図2～図6を用いて説明する。

まず、補正動作を行う。その時、トランジスタ TR11 とトランジスタ TR12 とに関して、同時に補正動作を行ってもよい。しかし、電流源として動作するトランジスタ TR21 は1個だけであり、同じトランジスタを用いて補正動作を行う方が精度が高いと考えられる。したがって、まず、トランジスタ TR11 とトランジスタ TR21 を用いて補正動作を行い、その後、トランジスタ TR12 とトランジスタ TR21 を用いて補正動作を行う。なお、この順序は、逆にしてもよい。

まず、図2に示すように、トランジスタ TR11 とトランジスタ TR21 を用いて補正動作を行う。この時、トランジスタ TR21 を流れる電流が、トランジスタ TR11 の方には流れて、トランジスタ TR12 の方には流れないようにする。もし、トランジスタ TR12 の方にも流れてしまったら、その分だけ、誤差が生じてしまうことになるからである。そこで、トランジスタ TR21 を流れる電流が、トランジスタ TR12 の方には流れないようにするため、スイッチ 1801～1804 を用いて、電流を制御する。

図2では、スイッチ 1801 をオンにして、スイッチ 1802～1804 をオフにしている。スイッチ 1801 は、第2高電位側電源(V_{dd2})に接続されている。ただし、スイッチ 1801 は、負荷 1812 などが接続されている第1高電位側電源(V_{dd1})に接続されていてもよい。つまり、トランジスタ TR11 に電流が流れて、トランジスタ TR12 に電流が流れないようにしていればよい。従って、スイッチ 1802 やスイッチ 1803 の配置を変更し、例えば、トランジスタ TR11 のソース端子とトランジスタ TR21 のドレイン端子との間にスイッチ 1802 を配置するなどのようにしてもよい。あるいは、負荷 1812、1813 の中に、電流を制御する機能を入れてもよい。あるいは、スイッチ 1801 と第2高電位側電源(V_{dd2})を削除し、スイッチ 1802 を制御するようにしてもよい。その場合は、負荷 1812 が、電流を流すことが可能な状態になっている必要がある。

このようにして、容量素子 1812 に、トランジスタ TR11 のゲート・ソース間電圧 V_{a1} が保存される。図3に示すように、スイッチ 1806 や 1808 などをおフにすれば、容量素

子 1812 に蓄積された電荷は、保持される。

次に、図 4、図 5 に示すように、トランジスタ TR12 とトランジスタ TR21 を用いて補正動作を行う。各スイッチのオンオフは、図 2、図 3 と同様に行えばよい。容量素子 1813 に、トランジスタ TR12 のゲート・ソース間電圧 V_{a2} が保存される。以上により、補正動作が終了する。

なお、補正動作は、通常動作を行う前に、すくなくとも 1 度行えばよい。つまり、容量素子 1812、1813 に、適切な電圧が保持されていれば、何回でも通常動作を行うことができる。ただし、容量素子 1812、1813 に保存されている電荷は、ノイズやもれ電流などが原因となって、徐々に、変化してしまう場合がある。その時には、容量素子 1812、1813 に保存されている電荷が、大きく変化してしまう前に、再び、補正動作を行えばよい。

次に、図 6 に示すように、通常動作を行う。つまり、スイッチ 1801、1804、1806、1808、1809、1811 をオフにし、スイッチ 1802、1803、1805、1807、1810 をオンにする。すると、トランジスタ TR11 とトランジスタ TR12 の特性がばらついても、それが、ゲート・ソース間電圧 V_{a1} 、 V_{a2} に反映されるため、ばらつきの影響を低減できる。なお、通常動作時において、トランジスタ TR11 及びトランジスタ TR12 に流れる電流量によっては、各トランジスタのゲート・ソース間電圧は、変化する場合がある。その場合、ゲート・ソース間電圧が、 V_{a1} や V_{a2} とは、等しくならない場合がある。しかしながら、特性バラツキに反映された値が、トランジスタのゲート端子に加えられるため、トランジスタのばらつきの影響は低減される。

なお、スイッチ 1805 は、その先の出力電圧 V_{o1} を出力する部分の入力インピーダンスが高い場合は、省略してもよい。あるいは、負荷 1812、1813 の構成によっては、スイッチ 1805 などが不要な場合もある。

このような差動回路を用いれば、さまざまな回路を構成することが可能となる。例えば、負荷 1812、1813 として、抵抗素子や能動負荷回路を用いれば、差動増幅回路を構成することができる。また、負荷 1812、1813 として、ダイオード接続(ゲート端子とドレイン端子を接続)されたトランジスタを配置することにより、OTA(Operational Transconductance Amplifier)の回路の一部を構成することが出来る。また、さらに、これらの回路を組み合わせれば、オペアンプやセンスアンプ、コンパレータなどの回路を構成することも可能となる。

そこで次に、負荷 1812、1813 として、能動負荷回路を用いた場合の差動増幅回路を対象として、構成に関して工夫した例を述べる。

まず、補正動作時と通常動作時とで、動作点を近くすることにより、誤差を小さくする例について述べる。

差動増幅回路のもっとも標準的な動作条件としては、入力電圧 V_{i1} 、 V_{i2} の大きさが等しい場合が挙げられる。その場合、トランジスタ TR21 を流れる電流は、トランジスタ

TR11 とトランジスタ TR12 とに、各々半分づつの量で電流が流れる。

一方、補正動作を行うときと、通常動作を行う時とでは、動作点などの動作状態が近い方が望ましい。そこで、動作点を近づけるため、補正動作を行う時の電流量を、通常動作の時の電流量の半分にしてもよい。その場合の例を図 25 と図 26 に示す。

図 25 では、電流源として動作させるトランジスタとして、トランジスタ TR22 を追加している。トランジスタ TR21 とトランジスタ TR22 のトランジスタサイズは同一にすることが望ましい。そして、各々のゲート端子には、同一のバイアス電圧 V_b を加える。そして、トランジスタ TR22 には、直列にスイッチ 2501 を配置する。そして、スイッチ 2501 のオンオフを切り替えることにより、補正動作を行う時の電流量を、通常動作の時の電流量の半分にする。なお、スイッチ 2501 は、電流量を制御できるなら、どこに配置しても良い。

図 26 では、電流源として動作させるトランジスタとして、トランジスタ TR22 を追加する。トランジスタ TR21 とトランジスタ TR22 のトランジスタサイズは同一にすることが望ましい。そして、トランジスタ TR21 のゲート端子には、バイアス電圧 V_b を加える。そして、トランジスタ TR22 のゲート端子に加える電圧を、補正動作の時と通常動作の時とで、変える。具体的には、補正動作の時には、トランジスタ TR22 がオフするように、低電位側電源 (V_{ss}) を加える。通常動作時には、バイアス電圧 V_b を加える。これにより、補正動作を行う時の電流量を、通常動作の時の電流量の半分にする。

このように、バイアス用のトランジスタに流れる電流の大きさを変えることにより、補正動作時と通常動作時とで、動作点を近くすることが出来る。動作点が近い方が、より、誤差が小さくなる。

次に、能動負荷回路を用いた場合の差動増幅回路を対象として、スイッチの接続を変更した場合の例について述べる。

図 2 において、スイッチ 1801～1804 の配置を変更できることは、既に述べた。そこで、負荷 1812、1813 として、能動負荷回路を用いた差動増幅回路において、スイッチ 1801～1804 の配置を変更した場合の例を示す。図 27 に、スイッチ 1801 を省いた場合を示す。

各スイッチの動作は、次のようになる。まず、トランジスタ TR11 に電流を流し、トランジスタ TR12 に電流を流さない場合は、スイッチ 1802 をオンにし、スイッチ 1803 をオンにして、スイッチ 1804 をオフにする。すると、トランジスタ 1813 のゲート・ソース間電圧が 0V になるため、トランジスタ 1813 はオフする。トランジスタ 1812 もオフするが、スイッチ 1803 からスイッチ 1802 を通って電流が流れる。次に、トランジスタ TR11 に電流を流さず、トランジスタ TR12 に電流を流す場合は、スイッチ 1802 をオフにし、スイッチ 1803 は、どちらでもよく、スイッチ 1804 をオンにする。すると、トランジスタ TR12 にのみ電流が流れる。最後に、トランジスタ TR11 とトランジスタ TR12 とに電流を流す場合は、つまり、通常動作の場合は、スイッチ 1802 をオンにし、スイッチ 1803 をオフにして、

スイッチ 1804 をオフにすればよい。

このように配置すれば、スイッチの配置を変更できる。なお、接続例は、これに限定されない。

このように、本発明を差動回路に適用することにより、様々な回路を構成することが出来る。

なお、これまでは主に、トランジスタ TR11、トランジスタ TR12 がnチャネル型の場合について述べてきた。しかし、pチャネル型にした場合にも、容易に適用できる。一例として、図 1 の回路をpチャネル型にした場合を、図 28 に示す。

また、基準電圧の大きさは任意であるので、基準電圧を与えている端子は、別の配線や接点や端子に接続してもよい。例えば、図 1 において、基準電圧 V_{x1} 、 V_{x2} を与えている端子は、入力電圧 V_{i1} 、 V_{i2} を与えている端子と接続してもよいし、トランジスタのドレイン端子と接続してもよい。

(実施の形態2)

本実施の形態では、本発明のアナログ回路の一例として、ソースフォロフ回路を示し、その構成と動作について説明する。まず、本発明のソースフォロフ回路の構成を図 18 を用いて説明する。

図 18 において、トランジスタ TR1 はnチャネル型のトランジスタであり、電流を増幅させる機能を有する。トランジスタ TR2 はnチャネル型のトランジスタであり、通常は、電流源として動作し、ソースフォロフ回路に対するバイアスを決定している。容量素子 104 は、トランジスタ TR1 のゲート・ソース間電圧を保持する機能を有する。また、101~103、105 は、スイッチであり、好ましくはトランジスタなどの半導体素子が用いられる。スイッチ 101~103、105 を制御することによって、補正動作の時と通常動作の時とで、ソースフォロフ回路の接続状況を変える。

図 18 において、トランジスタ TR1 のドレイン端子は、高電位側電源 (V_{dd}) に接続されている。トランジスタ TR2 のソース端子は、低電位側電源 (V_{ss}) に接続されている。なお、簡単のため、低電位側電源 (V_{ss}) の電位は、0V であるとする。端子 106 は、トランジスタ TR1 のソース端子であり、トランジスタ TR2 のドレイン端子と接続されており、スイッチ 105 を介して、出力端子 110 と接続されている。

端子 107 には、基準電圧 V_x が加えられており、スイッチ 101 を介して、トランジスタ TR1 のゲート端子、容量素子 104 の一方の端子と接続されている。入力端子 108 には、入力電圧 V_i が加えられており、スイッチ 102 を介して、容量素子 104 の他方の端子と接続されている。そして、容量素子 104 の他方の端子は、スイッチ 103 を介して、トランジスタ TR1 のソース端子 106 と接続されている。トランジスタ TR2 のゲート端子 109 には、バイアス電圧 V_b が加えられている。

次に、図 18 に示したソースフォロフ回路の動作について、説明する。

まず、補正動作を行う。スイッチ 101、103 をオンにして導通状態にし、スイッチ 102、105 をオフにして非導通状態にする。トランジスタ TR2 のゲート端子 109 には、バイアス電圧 V_b が加えられているので、トランジスタ TR2 に電流が流れる。この時、端子 106 は、端子 107 と容量素子 104 を介して接続されており、端子 107 には、基準電圧 V_x が加えられている。よって、端子 107 から端子 106 の間に電流が流れる。そして、容量素子 104 の両端の電圧が、トランジスタ TR1 のしきい値電圧よりも大きくなると、トランジスタ TR1 がオンし、トランジスタ TR1 のソース・ドレイン間にも電流が流れるようになる。そして、トランジスタ TR2 のソース・ドレイン間に流れる電流値と、トランジスタ TR1 のソース・ドレイン間に流れる電流値が等しくなると、容量素子 104 には電流が流れなくなり、定常状態となる。

この時、容量素子 104 には、トランジスタ TR2 に流れる電流と同量の電流がトランジスタ TR1 に流れるのに必要な電圧、つまり、トランジスタ TR1 のゲート・ソース間電圧が保持されている。したがって、トランジスタ TR1 の電流特性やトランジスタサイズなどがばらつけば、トランジスタ TR1 のゲート・ソース間電圧の大きさも、それによって、異なった値となる。この時のトランジスタ TR1 のゲート・ソース間電圧の大きさを V_a とする。すると、端子 106 の電位は、基準電圧 V_x よりも、 V_a だけ低い電位になる。

なお、すでに、定常状態になっており、端子 106 と端子 107 の間には電流が流れていないため、スイッチ 101、103 をオフにしても、問題ない。その結果、容量素子 104 の電荷は保持され、容量素子 104 の両端の電圧は、電荷保存の法則により、変化しなくなる。

以上の動作により、補正動作が終了する。この補正動作により、容量素子 104 に、適切な電圧が保持されることになる。

なお、補正動作の時に、出力端子 110 の方へ電流が流れ続けなければ、つまり、出力端子 110 の入力インピーダンスが十分高いならば、スイッチ 105 は省略して、端子 106 と出力端子 110 を直接接続してもよい。

なお、補正動作は、通常動作を行う前に、すくなくとも1度行えばよい。つまり、容量素子 104 に、適切な電圧が保持されていれば、何回でも通常動作を行うことができる。ただし、容量素子 104 に保存されている電荷は、ノイズやもれ電流などが原因となって、徐々に、変化してしまう場合がある。その時には、容量素子 104 に保存されている電荷が、大きく変化してしまう前に、再び、補正動作を行えばよい。

そして次に、通常動作を行う。スイッチ 102、105 をオンにして、スイッチ 101、103 をオフにする。端子 108 には、入力電圧 V_i が加えられている。よって、トランジスタ TR1 のゲート端子には、入力電圧 V_i に、容量素子 104 の電圧 V_a が上乗せされた電圧が加えられることになる。そして、定常状態になると、トランジスタ TR2 のソース・ドレイン間に流れる電流値と、トランジスタ TR1 のソース・ドレイン間に流れる電流値が等しくなる。その時のトランジスタ TR1 のゲート・ソース間電圧は、 V_a である。

したがって、端子 106 の電位は、トランジスタ TR1 のゲート端子の電位よりも、トランジスタ TR1 のゲート・ソース間電圧である V_a だけ、低い電位になる。そして、トランジスタ TR1 のゲート端子の電位は、入力電圧 V_i より V_a だけ、高い電位になる。以上のことから、端子 106 の電位は、入力電圧 V_i と等しくなる。つまり、出力電圧 V_o は、入力電圧 V_i と等しくなる。

従って、出力電圧 V_o には、基準電圧 V_x の値には依存しない。これは、基準電圧 V_x の大きさが、どのような大きさであっても、問題ない、ということを表していることになる。つまり、正常に補正動作を行えば、基準電圧 V_x の大きさは任意である。ただし、基準電圧 V_x の大きさは、トランジスタ TR1 とトランジスタ TR2 とが、飽和領域で動作できる大きさにすることが、より望ましい。なぜなら、通常、ソースフォロワ回路では、飽和領域で動作させることが多いためである。

また、基準電圧 V_x の大きさは任意であるので、端子 107 は、別の配線や接点や端子に接続してもよい。例えば、端子 107 を入力端子 108 に接続してもよい。このとき、基準電圧 V_x の大きさは任意であるので、補正動作を行っている時の入力電圧 V_i の大きさも、任意である。よって、補正動作を行っている時と、通常動作を行っている時とで、入力電圧 V_i の大きさが異なってもよい。

同様に、端子 107 は、高電位側電源 (V_{dd}) に接続してもよいし、トランジスタ TR1 のドレイン端子に接続してもよいし、出力端子 110 に接続してもよいし、端子 109 に接続してもよい。このように、端子 107 は、任意の場所に接続することが可能である。

また、出力電圧 V_o は、基準電圧 V_x の値に依存しないのと同様、トランジスタ TR1 ゲート・ソース間電圧 V_a にも依存しない。これは、 V_a の大きさが、どのような大きさであっても、問題ない、ということを表していることになる。つまり、トランジスタ TR1 の電流特性(移動度やしきい値電圧など)やトランジスタサイズ(ゲート長 L 、ゲート幅 W)などがばらついていても、その影響が出ない、ということを表している。

また、出力電圧 V_o は、トランジスタ TR1 やトランジスタ TR2 のソース・ドレイン間に流れる電流の大きさにも依存しない。つまり、出力電圧 V_o は、トランジスタ TR2 のゲート端子 109 に加えられているバイアス電圧 V_b の大きさに依存しない。また、トランジスタ TR2 の電流特性(移動度やしきい値電圧など)やトランジスタサイズ(ゲート長 L 、ゲート幅 W)にも依存しない。

このように、通常動作では、トランジスタ TR1 のゲート端子には、入力電圧 V_i がそのまま加わるのではなく、容量素子 104 に保存されている電圧が上乘せされて、加えられる。容量素子 104 に保存されている電圧の大きさは、状況に応じた大きさになる。つまり、トランジスタ TR1 やトランジスタ TR2 の電流特性やトランジスタサイズなどがばらついていても、それに応じて、容量素子 104 に保存されている電圧の大きさが変わる。そのため、結果として、トランジスタ TR1 やトランジスタ TR2 のバラツキの影響を低減することが可能となる。

なお、図 18 では、トランジスタ TR1 やトランジスタ TR2 がnチャネル型の場合について示した。しかし、pチャネル型の場合にも、本発明を容易に適用できる。図 13 に、トランジスタ TR1 やトランジスタ TR2 がpチャネル型の場合のソースフォロワ回路について示す。トランジスタ TR1 は、電流を増幅させる機能を有している。トランジスタ TR2 は、通常は、電流源として動作し、ソースフォロワ回路に対するバイアスを決定している。104 は容量素子であり、トランジスタ TR1 のゲート・ソース間電圧を保持する機能を有する。なお、動作や構成に関しては、nチャネル型の場合と同様なので、詳しい説明を省略する。

なお、図 18 や図 13 では、電流源として動作し、ソースフォロワ回路に対するバイアスを決定しているトランジスタ TR2 が配置されていた。しかし、トランジスタ TR2 が配置されていなくてもよい。これは、トランジスタ TR2 の電流値が0である場合に相当する。

図 18 のソースフォロワ回路に対して、トランジスタ TR2 を配置していない場合の回路図を図 7 に示す。スイッチ 701 が、端子 106 と低電位側電源(V_{ss})との間に接続されている。スイッチ 701 により、補正動作の時に、トランジスタ TR1 をオン状態にすることが出来る。したがって、補正動作の時に、トランジスタ TR1 をオン状態にすることが出来るのなら、スイッチ 701 を別の場所に接続してもよいし、スイッチ 701 自体を配置しなくてもよい。

次に、図 7 に示すトランジスタ TR2 を配置していない場合の回路の動作について、説明する。

まず、補正動作を行う。補正動作は、大きく2つの段階に分けられる。第1段階では、トランジスタ TR1 がオン状態になるようにする。その後、第2段階では、トランジスタ TR1 のゲート・ソース間電圧が、トランジスタ TR1 のしきい値電圧に概ね等しい電圧になるようにする。

図 18 の回路の場合は、補正動作を2つの段階に分ける必要がなかった。しかし、図 7 の回路の場合、補正動作における各段階によって、回路の接続状況などを変更する必要がある。

補正動作の第1段階では、スイッチ 101、103、701 をオンにして、スイッチ 102、105 をオフにすることにより、トランジスタ TR1 がオン状態になるようにしている。よって、この時のトランジスタ TR1 のゲート・ソース間電圧は、トランジスタ TR1 のしきい値電圧よりも大きい。

なお、この段階では、トランジスタ TR1 がオン状態になればよいだけなので、この方法に限定されない。例えば、スイッチ 701 を除去し、端子 106 と低電位側電源(V_{ss})が接続されないような状況にして、スイッチ 102 もオンになるようにし、基準電圧 V_x と入力電圧 V_i の値を調節すれば、トランジスタ TR1 をオン状態にすることができる。

次に、補正動作の第2段階では、スイッチ 101、103 をオンにして、スイッチ 102、

105、701をオフにする。これにより、トランジスタTR1のソース端子は、容量素子104にのみ、接続されるようになる。すると、トランジスタTR1がオン状態なら、トランジスタTR1のソース・ドレイン間に電流が流れる。その電流は、容量素子104の方へ流れる。その結果、容量素子104に保存されている電荷が放電されていく。これは、トランジスタTR1がオフするまで、つまり、トランジスタTR1のゲート・ソース間電圧が、トランジスタTR1のしきい値電圧に等しくなるまで続く。トランジスタTR1のゲート・ソース間電圧が、トランジスタTR1のしきい値電圧に等しくなると、トランジスタTR1や容量素子104には、電流がほとんど流れなくなる。

なお、すでに、電流が流れない状態になっており、端子106と端子107の間には電流が流れていないため、スイッチ101、103をオフにしても、問題ない。その結果、容量素子104の電荷は保持され、容量素子104の両端の電圧は、電荷保存の法則により、変化しなくなる。

以上の動作により、補正動作が終了する。この補正動作により、容量素子104に、トランジスタTR1のしきい値電圧が保持されることになる。

なお、容量素子104の電圧が、トランジスタTR1のしきい値電圧に等しくなるまで、動作を続けているが、必ずしも、その必要はない。容量素子104の電圧が、トランジスタTR1のしきい値電圧に、概ね等しくなればよい。

そして次に、通常動作を行う。スイッチ102、105をオンにして、スイッチ101、103、701をオフにする。端子108には、入力電圧 V_i が加えられている。よって、トランジスタTR1のゲート端子には、入力電圧 V_i に、容量素子104の電圧、つまり、トランジスタTR1のしきい値電圧が上乗せされた電圧が加えられることになる。そして、定常状態になると、トランジスタTR1のソース・ドレイン間に電流がほとんど流れなくなる。その時のトランジスタTR1のゲート・ソース間電圧は、トランジスタTR1のしきい値電圧に概ね等しい。

したがって、端子106の電位は、トランジスタTR1のゲート端子の電位よりも、トランジスタTR1のしきい値電圧だけ、低い電位になる。そして、トランジスタTR1のゲート端子の電位は、入力電圧 V_i より、容量素子104の電圧、つまり、トランジスタTR1のしきい値電圧だけ、高い電位になる。以上のことから、端子106の電位は、入力電圧 V_i と等しくなる。つまり、出力電圧 V_o は、入力電圧 V_i と等しくなる。

なお、図7では、電流源として動作するトランジスタTR2を配置していなかった。しかし、図7の回路において、トランジスタTR2を配置してもよい。その時の回路図を図15に示す。動作に関しては、補正動作に関しては同様であり、容量素子104には、しきい値電圧が保持される。ただし、通常動作を行う場合は、トランジスタTR2が電流源として動作しなければならないので、図15におけるスイッチ701をオンにしておく必要がある。

なお、トランジスタTR2にも、容量素子を配置して、そこにトランジスタTR2のしきい

値電圧を保存し、トランジスタ TR2 のバラツキを補正するようにしてもよい。

このように、トランジスタ TR2 を配置していない場合の回路に対しても、同様に適用できる。よって、基準電圧 V_x が任意なことや、トランジスタ TR1 の電流特性(移動度やしきい値電圧など)やトランジスタサイズ(ゲート長 L 、ゲート幅 W)などがばらついて、その影響が出ないことなども同様である。また、図 7 では、トランジスタ TR1 が n チャンネル型の場合について示したが、p チャンネル型の場合にも、容易に適用できる。

また、トランジスタ TR1 が n チャンネル型の場合と、p チャンネル型の場合とを組み合わせ、両方を増幅用トランジスタとして用いて、プッシュプル形式にしてもよい。その場合の回路図を図 14 に示す。p チャンネル型のトランジスタ TR1p は、低電位側電源 (V_{ss}) に接続されており、ゲート・ソース間には、容量素子 104p が接続されている。n チャンネル型のトランジスタ TR1n は、高電位側電源 (V_{dd}) に接続されており、ゲート・ソース間には、容量素子 104n が接続されている。動作などについては、図 7 の場合などと同様であるため、説明を省略する。

なお、図 15 のように、容量素子に、トランジスタのゲート・ソース間電圧を保持させるのではなく、トランジスタのしきい値電圧をさせることは、ソースフォロワ回路だけでなく、差動回路に対して適用してもよい。例えば、図 1 に適用する場合は、トランジスタ TR11 のソース端子とトランジスタ TR21 のドレイン端子の間と、トランジスタ TR12 のソース端子とトランジスタ TR21 のドレイン端子の間とに、各々スイッチを入れる必要がある。

また、本実施の形態では、ソースフォロワ回路に適用した場合について述べてきたが、ソースフォロワ回路と非常に構成が類似した回路として、カスコード回路があり、それにも、本発明を適用できる。カスコード回路がソースフォロワ回路と異なるのは、図 21 で考えると、トランジスタ TR2 のゲート端子 4309 が入力端子になっており、トランジスタ TR1 のゲート端子 4308 がバイアス電圧を加える端子になっており、トランジスタ TR1 のドレイン端子と高電位側電源 (V_{dd}) との間に、抵抗素子などの負荷が配置され、前記負荷とトランジスタ TR1 のドレイン端子の間の接点が、出力端子になっている、という点である。

そこで、カスコード回路に、本発明を適用した場合の回路図を図 16 に示す。トランジスタ TR1 のドレイン端子と高電位側電源 (V_{dd}) の間に、負荷 1601 が配置されている。なお、図 16 では、トランジスタ TR1、トランジスタ TR2 が n チャンネル型であるが、p チャンネル型の場合にも適用できることは、もちろんである。なお、動作などは、ソースフォロワ回路と同様であるので、説明は省略する。

最後に、回路の消費電力を低減する方法について述べる。アナログ回路では、定常状態であっても、電流が流れ続ける場合が多い。例えば、ソースフォロワ回路では、通常、定常状態であっても、トランジスタ TR1 からトランジスタ TR2 へと、電流が流れ続ける。そのため、消費電力が大きい。そこで、定常状態の時に流れ続ける電流を遮

断すれば、消費電力を低減することが可能となる。例として、図 18 の回路に対して、消費電力を低減するための工夫を施した回路を、図 17 に示す。図 17 では、高電位側電源(Vdd)と、トランジスタ TR1 のドレイン端子との間に、スイッチ 1701 を配置している。このスイッチを制御することにより、定常状態であっても、トランジスタ TR1 からトランジスタ TR2 へと、流れ続ける電流を遮断することが出来る。なお、スイッチ 1701 は、流れ続ける電流を遮断することが出来れば、どこに配置してもよい。また、スイッチ 1701 を配置せずに、流れ続ける電流を遮断してもよい。例えば、トランジスタ TR2 のゲート端子 109 の電圧 V_b を調節することにより、トランジスタ TR2 に電流が流れないようにしてもよい。同様に、トランジスタ TR1 のゲート端子の電位を調節することにより、電流が流れないようにしてもよい。

なお、消費電力を低減するために、定常状態の時に流れ続ける電流を遮断することは、ソースフォロワ回路だけでなく、差動回路に適用してもよい。

なお、実施の形態 1 で説明した内容は、本実施の形態にも適用でき、本実施の形態で説明した内容は、実施の形態 1 にも適用できる。

(実施の形態 3)

前述した実施の形態 1、2 では、本発明を適用したソースフォロワ回路や差動回路について説明した。それらの回路をさらに組み合わせれば、様々な回路にも、適用できる。そこで、本実施の形態では、一例として、本発明を適用したオペアンプについて説明する。

なお、オペアンプの回路構成としては、さまざまなものがある。よって、オペアンプの回路構成は、本実施の形態に限定されない。本発明は、さまざまな構成のオペアンプに適用できる。

まず、もっとも簡単な構成の場合として、差動増幅回路にソースフォロワ回路を組み合わせた構成によるオペアンプについて述べる。図 29 に示すように、差動回路として図 1 の回路を用い、差動回路の負荷として、能動回路を用い、ソースフォロワ回路として図 18 の回路を用いている。点線で囲った領域 2910 がソースフォロワ回路に相当する。プラス側入力端子 2901 とマイナス側入力端子 2902 から信号を入力し、出力端子 2903 から信号を取り出す。バイアス端子 2904 に加える電圧を調節して、バイアスとして流す電流の大きさを制御する。端子 2905～2909 までの端子に入力する信号のタイミングを制御することにより、各部分の補正動作と通常動作とを切り替える。なお、端子 2905～2909 などへの接続を変更することにより、同時に複数の回路部分において、補正動作を行ったりすることが可能である。

次に、出力段のバッファとして、プッシュプル形式にした場合のオペアンプを図 30 に示す。プッシュプル形式のソースフォロワ回路として、図 14 の回路を用いている。点線で囲った領域 3011 がプッシュプル形式のソースフォロワ回路に相当する。図 30 では、

プラス側入力端子 3001 とマイナス側入力端子 3002 から信号を入力し、出力端子 3003 から信号を取り出す。バイアス端子 3004 に加える電圧を調節して、バイアスとして流す電流の大きさを制御する。端子 3005～3010 までの端子に入力する信号のタイミングを制御することにより、各部分の補正動作と通常動作とを切り替える。なお、端子 3005～3010 などへの接続を変更することにより、同時に複数の回路部分において、補正動作を行ったりすることが可能である。

次に、増幅段を2段にした場合のオペアンプを図 31 に示す。2段目の増幅段として、ソース接地増幅回路を用いている。点線で囲った領域 3111 がソース接地増幅回路に相当する。図 31 では、プラス側入力端子 3101 とマイナス側入力端子 3102 から信号を入力し、出力端子 3103 から信号を取り出す。バイアス端子 3104 に加える電圧を調節して、バイアスとして流す電流の大きさを制御する。端子 3105～3109 までの端子に入力する信号のタイミングを制御することにより、各部分の補正動作と通常動作とを切り替える。なお、端子 3105～3109 などへの接続を変更することにより、同時に複数の回路部分において、補正動作を行ったりすることが可能である。

容量素子 3110 は、位相補償を行うために、設けられており、別の場所に配置してもよいし、容量素子 3110 と直列に抵抗も配置してもよい。また、2段目の増幅段の先に、さらに、ソースフォロワ回路を配置してもよい。

ここで、ソース接地増幅回路について、簡単に述べる。図 32 に、本発明を適用したソース接地増幅回路を示す。

なお、従来のソース接地増幅回路では、バイアス電流を供給するためのトランジスタ TR4 のドレイン端子と、増幅用のトランジスタ TR3 のドレイン端子とが接続され、そこが出力端子となっている。トランジスタ TR3 もトランジスタ TR4 もソース端子が接地されており、その結果、互いのトランジスタ極性は逆になる。トランジスタ TR4 のゲート端子に、バイアス用電圧が加えられて、トランジスタ TR3 のゲート端子には、入力電圧が加えられる。

それに対し、図 32 のソース接地増幅回路では、スイッチ 3201～3203、3205 と、容量素子 3204 が追加されている。なお、出力端子 3210 の入力インピーダンスが高い場合は、スイッチ 3205 を省略し、トランジスタ TR3 のドレインと出力端子 3210 を直接接続することが可能である。

次に、図 32 のソース接地増幅回路の動作について、図 33、図 34 を用いて説明する。まず、補正動作を行う。図 33 に示すように、スイッチ 3203、3202 をオンにして、スイッチ 3201、3205 をオフにする。すると、容量素子 3204 に、トランジスタ TR3 のゲート・ソース間電圧 V_a が保存される。

その後、通常動作を行う。図 34 に示すように、スイッチ 3201、3205 をオンにして、スイッチ 3202、3203 をオフにする。そして、入力端子 3208 から入力電圧 V_i を加える。すると、容量素子 3204 に保存した電圧 V_a が、入力電圧 V_i に上乗せされて、トランジス

タ TR3 のゲート端子に加えられる。容量素子 3204 に保存した電圧 V_a は、トランジスタ TR3 の電流特性に応じた大きさとなる。したがって、トランジスタ TR3 がばらついて、その影響を低減することが可能となる。

なお、補正動作は、少なくとも1回行えばよい、という点は、ソースフォロワ回路などの場合と同様である。

また、図 7 などのように、容量素子 3204 に保存される電圧が、トランジスタのしきい値電圧になるようにしてもよい。

また、このソース接地増幅回路が、オペアンプの回路の一部として構成される場合は、オペアンプの位相補償を行うための容量や抵抗が、ソース接地増幅回路に配置されることがある。例として、図 35 には、入力端子 3208 とトランジスタ TR3 のドレイン端子との間に、容量素子 3501 を配置した場合の回路図を示す。なお、オペアンプの位相補償を行うことが出来るのであれば、どこに、どのような素子を配置してもよい。

なお、実施の形態1、2で説明した内容は、本実施の形態にも適用できる。

例えば、補正動作を、いつ、どれくらいの頻度で行うかは、本実施の形態でも同様である。

また、基準電圧の大きさは任意であるので、基準電圧を与えている端子は、別の配線や接点や端子に接続してもよい。

また、容量素子に、トランジスタのゲート・ソース間電圧を保持させるのではなく、トランジスタのしきい値電圧をさせるようにしてもよい。

また、消費電力を低減するために、定常状態の時に流れ続ける電流を遮断することについても、本実施の形態にも適用できる。

また、本実施の形態では、主に、トランジスタがnチャネル型の場合について述べてきた。しかし、pチャネル型にした場合にも、容易に適用できる。

なお、本実施の形態では、オペアンプに適用した場合について述べてきた。しかし、OTA(Operational Transconductance Amplifier)、センスアンプ、コンパレータなどの回路に適用することも可能である。また、トランジスタの接続をカスケード接続にした場合なども、本発明を適用できる。

なお本実施の形態は、実施の形態1、2と任意に組み合わせることが可能である。

(実施の形態4)

本実施の形態では、本発明を適用した電気回路において、時間を節約する方法について説明する。

これまで述べてきた通り、本発明の回路では、動作状態として、補正動作と通常動作とがある。補正動作は、頻繁に行う必要はないが、通常動作を行う前には、少なくとも1回行う必要がある。

そこで、1組の入力端子と出力端子の間に、1個の回路(例えば、1つのソースフォ

ロフ回路)がある場合、補正動作を行うタイミングには、以下のようなものがある。

1つ目としては、通常動作を行うまえに、必ず、補正動作を行う、というものである。例えば、ある期間、信号を入出力する場合に、その期間を2つに分け、前半の期間に補正動作を行い、後半の期間に通常動作を行う。

2つ目としては、信号の入出力を行っていない期間において、補正動作を行い、その後、通常動作を何回も行う、というものである。

その他のタイミング例として、補正動作を行いながら、同時に通常動作を行う、ということが考えられる。その場合、1組(1対)の入力端子と出力端子の間に、1個の回路のみを配置する構成では、補正動作と通常動作とを同時に行うことが出来ない。。そこで、1組の入力端子と出力端子の間に、例えば、2個以上の回路を並列に配置する。すると、各々の回路での動作を制御することにより、補正動作を行いながら、同時に通常動作を行うことが出来る。

図 8 には、1組の入力端子と出力端子の間に、2個のソースフォロフ回路を並列に配置した場合の例を示す。入力端子 3601 と出力端子 3602 の間に、回路 3603 が配置されている。回路 3603 には、ソースフォロフ回路 3604、3605 が配置されている。そして、一方のソースフォロフ回路において通常動作を行って、出力端子 3602 に信号を出力し、同時に、他方のソースフォロフ回路において補正動作を行う。どちらのソースフォロフ回路で、どちらの動作を行うかは、端子 3606 から入力する信号を用いて、切り替える。図 8 では、端子 3606 がH信号の場合、ソースフォロフ回路 3604 において補正動作を行い、端子 3606 がL信号の場合、ソースフォロフ回路 3605 において補正動作を行う。

このようにすることにより、補正動作を行いながら、通常動作を行うことが可能となる。その結果、同時に2つのことができ、動作に無駄がなく、無駄な時間が必要なくなり、各動作を行う時間を、長くとることができる。よって、補正動作において、定常状態になるまで動作を行うことができるので、補正が正確に行えるようになる。

なお、補正動作を行うタイミングとしては、上記のものに限定されない。

図 8 では、ソースフォロフ回路を用いた例を示したが、1組の入力端子と出力端子の間に、2個以上の回路を配置することは、差動回路やオペアンプなどの別の回路にも、適用することができる。

なお本実施の形態は、実施の形態1～3と任意に組み合わせることが可能である。

(実施の形態5)

本実施の形態では、表示装置、および、信号線駆動回路などの構成とその動作について、説明する。信号線駆動回路の一部に、本発明の回路を適用することができる。

表示装置は、図9に示すように、画素 3701、ゲート線駆動回路 3702、信号線駆動回

路 3710 を有している。ゲート線駆動回路 3702 は、画素 3701 に選択信号を順次出力する。信号線駆動回路 3710 は、画素 3701 にビデオ信号を順次出力する。画素 3701 では、ビデオ信号に従って、光の状態を制御することにより、画像を表示する。信号線駆動回路 3710 から画素 3701 へ入力するビデオ信号は、電圧であることが多い。つまり、画素に配置された表示素子や表示素子を制御する素子は、信号線駆動回路 3710 から入力されるビデオ信号(電圧)によって、状態を変化させるものであることが多い。画素に配置する表示素子の例としては、液晶(LCD)や有機ELやFED(フィールドエミッションディスプレイ)などがあげられる。

なお、ゲート線駆動回路 3702 や信号線駆動回路 3710 は、複数配置されていてもよい。

信号線駆動回路 3710 は、構成を複数の部分に分けられる。大まかには、一例として、シフトレジスタ 3703、第1ラッチ回路 3704、第2ラッチ回路 3705、デジタル・アナログ変換回路 3706、バッファ回路(増幅回路)3707 に分けられる。

そこで、信号線駆動回路 3710 の動作を簡単に説明する。シフトレジスタ 3703 は、フリップフロップ回路(FF)等を複数列用いて構成され、クロック信号(S-CLK)、スタートパルス(SP)、クロック反転信号(S-CLKb)が入力される、これらの信号のタイミングに従って、順次サンプリングパルスが出力される。

シフトレジスタ 3703 より出力されたサンプリングパルスは、第1ラッチ回路 3704 に入力される。第1ラッチ回路 3704 には、ビデオ信号線 3708 より、ビデオ信号が入力されており、サンプリングパルスが入力されるタイミングに従って、各列でビデオ信号を保持していく。なお、デジタル・アナログ変換回路 3706 を配置している場合は、ビデオ信号はデジタル値である。

第1ラッチ回路 3704 において、最終列までビデオ信号の保持が完了すると、水平帰線期間中に、ラッチ制御線 3709 よりラッチパルス(Latch Pulse)が入力され、第1ラッチ回路 3704 に保持されていたビデオ信号は、一斉に第2ラッチ回路 3705 に転送される。その後、第2ラッチ回路 3705 に保持されたビデオ信号は、1行分が同時に、デジタル・アナログ変換回路 3706 へと入力される。そして、デジタル・アナログ変換回路 3706 から出力される信号は、バッファ回路(増幅回路)3707 へ入力される。そして、バッファ回路(増幅回路)3707 から画素 3701 へ信号が入力される。

第2ラッチ回路 3705 に保持されたビデオ信号がデジタル・アナログ変換回路 3706 に入力され、そして、画素 3701 に入力されている間、シフトレジスタ 3703 においては再びサンプリングパルスが出力される。つまり、同時に2つの動作が行われる。これにより、線順次駆動が可能となる。以後、この動作を繰り返す。

以上のような動作を行う信号線駆動回路 3710 において、バッファ回路(増幅回路)3707 に、本発明を適用できる。バッファ回路(増幅回路)3707 は、画素 3701 に多くの電流を供給する能力を有している。つまり、バッファ回路(増幅回路)3707 は、インピ

ーダンスを変換する機能を有している。このバッファ回路(増幅回路)3707に、ソースフォロフ回路や差動増幅回路やオペアンプなどを用いることができる。差動増幅回路やオペアンプを用いる場合、出力端子をマイナス側入力端子に接続し、信号を帰還させることなどによって、電圧フォロフ回路などとして機能させることができる。

また、図8のように、ソースフォロフ回路や差動増幅回路やオペアンプなどを複数配置して、補正動作や通常動作を同時に行えるようにしてもよい。

なお、第1ラッチ回路3704や第2ラッチ回路3705が、アナログ値を保存できる回路である場合は、デジタル・アナログ変換回路3706は省略できる場合が多い。また、画素3701に出力するデータが2値、つまり、デジタル値である場合は、デジタル・アナログ変換回路3706は省略できる場合が多い。また、デジタル・アナログ変換回路3706には、ガンマ補正回路が内蔵されている場合もある。このように、信号線駆動回路3710の構成は、図9に限定されず、様々なものがある。

そこで、第1ラッチ回路3704や第2ラッチ回路3705が、アナログ値を保存できる回路である場合の信号線駆動回路3710を図10に示す。ビデオ信号線3708より、アナログ値のビデオ信号が入力される。第1ラッチ回路3704と第2ラッチ回路3705の1列分3801の例を、図11に示す。前記1列分3801には、1列分の第1ラッチ回路3704と1列分の第2ラッチ回路3705とを有する。1列分の第1ラッチ回路3704は、容量素子3901とバッファ回路(増幅回路)3902を有している。1列分の第2ラッチ回路3705は、容量素子3903とバッファ回路(増幅回路)3904を有している。

第1ラッチ回路3704と第2ラッチ回路3705の1列分3801は、以下のように動作する。まず、ビデオ信号線3708から、アナログのビデオ信号が容量素子3901に入力され、そこで保存される。そして、ラッチ制御線3709の信号により、容量素子3901に保存されているデータが容量素子3903に転送される。このとき、バッファ回路(増幅回路)3902は、インピーダンスを変換している。よって、容量素子3901、3902の大きさを調節すれば、バッファ回路(増幅回路)3902を省くことが可能となる。そして、容量素子3903に保存された信号をバッファ回路(増幅回路)3904を通して、画素へ出力する。

このバッファ回路(増幅回路)3902、3904を、ソースフォロフ回路や差動増幅回路やオペアンプなどを用いることができる。例として、バッファ回路(増幅回路)としてソースフォロフ回路を用いた場合の回路図を図12に示す。また、図8のように、バッファ回路(増幅回路)を複数配置して、補正動作や通常動作を同時に行えるようにしてもよい。

なお、本実施の形態は、実施の形態1～実施の形態4と任意に組み合わせることが可能である。

(実施の形態6)

本実施の形態では、本発明を用いた電気回路のレイアウト図について説明する。

本実施の形態では、例として、本発明を適用したソースフォロワ回路のレイアウト図について述べる。図 19 に、図 18 のソースフォロワ回路の回路図を、レイアウト図と類似させて記述した場合の回路図を示す。

図 19 では、容量素子 104 は、MOS容量として形成している。つまり、MOS容量をトランジスタとして考えたときに、ソース端子とドレイン端子を接続して、その接点を容量の一方の端子とし、ゲート端子を容量の他方の端子とする。このようにMOS容量を用いて容量素子を形成すると、容量値を大きくすることができる。なお、この場合、容量素子 104 をトランジスタだと考えた場合の極性は、トランジスタ TR1 と同じ極性にすることが望ましい。なぜなら、この場合のMOS容量は、トランジスタだと考えた場合、そのトランジスタがオンしている状態にしておく必要がある。もし、そのトランジスタがオフしている状態になると、MOS容量の容量値は0になる。そのため、容量素子 104 オンしている状態にするには、トランジスタ TR1 と同じ極性にすることが望まれる。

図 20 には、図 19 のソースフォロワ回路のレイアウト図を示す。多結晶シリコンなどによる半導体層 4201 の上の層にゲート絶縁膜の層があり、その上の層にゲート配線(第1配線)4202 がある部分がトランジスタである。ゲート配線(第1配線)4202 の上の層には、層間絶縁膜があり、その上には第2配線 4204 がある。第2配線 4204 と半導体層 4201 や、第2配線 4204 とゲート配線(第1配線)4202 は、コンタクト 4203 を開口することにより、接続している。

図 20 のようなレイアウト図を使って、公知の技術を用いれば、本発明の電気回路を実現することが出来る。

なお、トランジスタ TR1 とトランジスタ TR2 は、通常、飽和領域で動作することが多い。理想的なトランジスタは、飽和領域では、ソース・ドレイン間の電圧が変化しても、ソース・ドレイン間に流れる電流量は、変化しない。しかし、実際には、キンク効果やアーリー効果などと呼ばれる現象により、飽和領域においても、トランジスタのソース・ドレイン間に流れる電流量が変化してしまう。そのため、電流値が変化してしまい、誤差が生じてしまう。そこで、キンク効果やアーリー効果などを低減するため、図 20 では、トランジスタ TR1 とトランジスタ TR2 のゲート長 L を大きくしている。なお、キンク効果やアーリー効果などを低減するための方法は、直列にトランジスタを追加することなど、他にもあり、それを本願に適用することもできる。

また、理想的な動作を行う場合は、容量素子 104 の電圧は、補正動作のときと、通常動作のときとで、変化しない。しかし実際には、容量素子 104 がゲート端子に接続されているトランジスタ(ここでは、トランジスタ TR1)の寄生容量(ゲート容量)により、加えた電圧が分圧されてしまう。その結果、容量素子 104 の電圧は、補正動作のときと、通常動作のときとで、わずかに変化してしまう。その結果、誤差が生じてしまう。その誤差を小さくするためには、容量素子 104 の容量値を、容量素子 104 がゲート端子に接続されているトランジスタの寄生容量(ゲート容量)よりも、十分大きくしておく必要

がある。具体的には、少なくとも、容量素子 104 の容量値を、容量素子 104 がゲート端子に接続されているトランジスタの寄生容量(ゲート容量)の5倍以上にすることが望まれる。

なお、本事例は、実施の形態1～実施の形態5と任意に組み合わせることが可能である。

(実施の形態7)

本発明を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、オーディオコンポ等)、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等)、記録媒体を備えた画像再生装置(具体的には Digital Versatile Disc (DVD)等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置)などが挙げられる。これらの電子機器の具体例を図 36 に示す。

図 36(A)は表示装置であり、筐体13001、支持台13002、表示部13003、スピーカー部13004、ビデオ入力端子13005等を含む。本発明は表示部13003を構成する電気回路に用いることができる。また本発明により、図 36(A)に示す表示装置が完成される。表示部13003は、有機ELディスプレイや、液晶ディスプレイなどを用いることができる。なお、表示装置は、パソコン用、TV放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

図 36(B)はデジタルスチルカメラであり、本体13101、表示部13102、受像部13103、操作キー13104、外部接続ポート13105、シャッター13106等を含む。本発明は、表示部13102を構成する電気回路に用いることができる。また本発明により、図 36(B)に示すデジタルスチルカメラが完成される。

図 36(C)はノート型パーソナルコンピュータであり、本体13201、筐体13202、表示部13203、キーボード13204、外部接続ポート13205、ポインティングマウス13206等を含む。本発明は、表示部13203を構成する電気回路に用いることができる。また本発明により、図 36(C)に示す表示装置が完成される。

図 36(D)はモバイルコンピュータであり、本体13301、表示部13302、スイッチ13303、操作キー13304、赤外線ポート13305等を含む。本発明は、表示部13302を構成する電気回路に用いることができる。また本発明により、図 36(D)に示すモバイルコンピュータが完成される。

図 36(E)は記録媒体を備えた携帯型の画像再生装置(具体的にはDVD再生装置)であり、本体13401、筐体13402、表示部A13403、表示部B13404、記録媒体(DVD等)読み込み部13405、操作キー13406、スピーカー部13407等を含む。表示部A13403は主として画像情報を表示し、表示部B13404は主として文字情

報を表示するが、本発明は、表示部A、B13403、13404を構成する電気回路に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。また本発明により、図 36(E)に示すDVD再生装置が完成される。

図 36(F)はゴーグル型ディスプレイ(ヘッドマウントディスプレイ)であり、本体3501、表示部13502、アーム部13503を含む。本発明は、表示部13502を構成する電気回路に用いることができる。また本発明により、図 36(F)に示すゴーグル型ディスプレイが完成される。

図 36(G)はビデオカメラであり、本体13601、表示部13602、筐体13603、外部接続ポート13604、リモコン受信部13605、受像部13606、バッテリー13607、音声入力部13608、操作キー13609等を含む。本発明は、表示部13602を構成する電気回路に用いることができる。また本発明により、図 36(G)に示すビデオカメラが完成される。

図 36(H)は携帯電話であり、本体13701、筐体13702、表示部13703、音声入力部13704、音声出力部13705、操作キー13706、外部接続ポート13707、アンテナ13708等を含む。本発明は、表示部13703を構成する電気回路に用いることができる。なお、表示部13703は黒色の背景に白色の文字を表示することで携帯電話の消費電流を抑えることができる。また本発明により、図 36(H)に示す携帯電話が完成される。

なお、将来的に表示材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

また、上記電子機器はインターネットやCATV(ケーブルテレビ)などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。発光材料の応答速度は非常に高いため、発光装置は動画表示に好ましい。

また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また本実施の形態の電子機器は、実施の形態1～実施の形態6に示したいずれの構成の電気回路、又は半導体装置を用いても良い。

本発明では、トランジスタのゲート端子に、入力電圧がそのまま加わるのではなく、容量素子に保存されている電圧が上乘せされて、加えられる。前記容量素子に保存されている電圧の大きさは、前記トランジスタの電流特性やトランジスタサイズなどに

応じた大きさになる。そのため、トランジスタの電流特性やトランジスタサイズなどがばらついても、それに応じて、前記容量素子に保存されている電圧の大きさが変わるため、結果として、前記トランジスタのバラツキの影響を低減することが可能となる。

また、容量素子に電圧を保存する動作、つまり、補正動作は、少なくとも、1度だけ行えばよい。すると、その後の通常動作において、トランジスタの特性ばらつきの影響を低減することが出来る。そのため、駆動タイミングが複雑になることもなく、動作が簡単になる。

また、容量素子の個数やスイッチの個数も少ないため、レイアウト面積が小さくできる。その結果、製造上の歩留まりが低下することを防いだり、小型化させたりすることが出来る。

【クレーム】

【クレーム1】

第1のトランジスタと第1の容量素子と第1のスイッチと第1の端子と第2の端子と第2のトランジスタと第2の容量素子と第2のスイッチと第3の端子と第4の端子とを有するアナログ回路であって、

前記第1のトランジスタのゲート端子と前記第1の容量素子の一方の端子とが電氣的に接続され、

前記第2のトランジスタのゲート端子と前記第2の容量素子の一方の端子とが電氣的に接続され、

前記第1のトランジスタのソース端子と第2のトランジスタのソース端子とが電氣的に接続され、

前記第1の端子と、前記第1の容量素子の一方の端子とは、前記第1のスイッチを介して電氣的に接続され、

前記第3の端子と、前記第2の容量素子の一方の端子とは、前記第2のスイッチを介して電氣的に接続され、

前記第1の容量素子の他方の端子と、前記第2の端子または前記第1のトランジスタのソース端子のいずれか一つの端子とが電氣的に接続される手段を有し、

前記第2の容量素子の他方の端子と、前記第4の端子または前記第2のトランジスタのソース端子のいずれか一つの端子と電氣的に接続される手段を有していることを特徴とするアナログ回路。

【クレーム2】

クレーム1において、

電流を供給する手段を有し、

前記第1のトランジスタのソース端子と、前記電流を供給する手段とが電氣的に接続されていることを特徴とするアナログ回路。

【クレーム3】

クレーム1において、

第1のトランジスタに流れる電流を遮断する手段と、

第2のトランジスタに流れる電流を遮断する手段とを有していることを特徴とするアナログ回路。

【クレーム4】

クレーム1において、

前記第1の端子と前記第2の端子とが、電氣的に接続され、

前記第3の端子と前記第4の端子とが、電氣的に接続されていることを特徴とするアナログ回路。

【クレーム5】

クレーム1に記載の前記アナログ回路は、
差動増幅回路、オペアンプ及び信号線駆動回路のいずれか一つを構成することを
特徴とするアナログ回路。

【クレーム6】

クレーム1に記載の前記アナログ回路を具備することを特徴とする表示装置。

【クレーム7】

クレーム6に記載の表示装置を具備することを特徴とする電子機器。

【要約】

トランジスタのバラツキの影響を低減するアナログ回路を提供する。補正動作の時に、バイアス用の電流を流して、補正対象のトランジスタのゲート・ソース間電圧を容量に保持する。通常動作の場合は、補正動作時に保存した容量の電圧を信号電圧に上乗せする。容量には、補正対象の特性に応じた電圧が保持されているため、その電圧を信号電圧に上乗せすることにより、バラツキの影響を低減することが出来る。この原理を、差動回路やオペアンプなどに適用することにより、ばらつきの影響を低減したアナログ回路を提供する。